Санкт-Петербургский политехнический университет Петра Великого

Кафедра компьютерных систем и программных технологий

**Отчёт по лабораторной работе**

**Дисциплина**: Схемотехника операционных устройств

**Тема**: Исследование и отладка генератора сигналов сложной формы

средствами системной отладки Quartus

Вариант-5

Выполнил студент гр. 23531/5 \_\_\_\_\_\_\_\_\_\_\_\_\_И.Д. Иванов

(подпись)

Преподаватель \_\_\_\_\_\_\_\_\_\_\_\_\_А.С. Филиппов

(подпись)

“\_\_\_”\_\_\_\_\_\_\_\_\_\_\_\_\_ 2019 г.

Санкт-Петербург

2019

1. **Цели работы**

- получение навыков анализа и отладки простейших процессов с использованием: базовых функций встраиваемого логического анализатора SignalTap II пакета Quartus, базовых функций интерфейса логического анализатора LAI и базовых функций редактора памяти в системе ISMCE;

- Получение навыка в создании файла инициализации памяти FPGA;

- Знакомство с базовой схемой реализации сигналов сложной формы с использованием ПЗУ.

**2. Выполнение работы**

В данной лабораторной работе синтезируется и исследуется генератор сигналов сложной формы на основе ПЗУ (Рис.1).

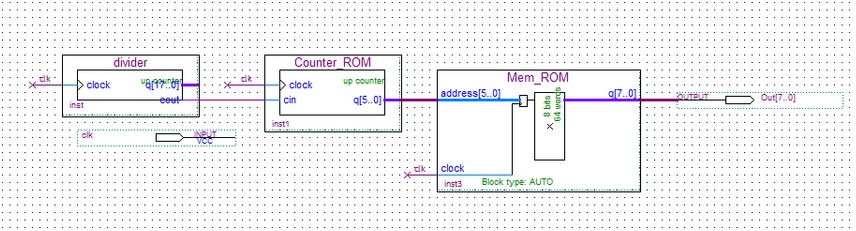


Рис.1.

В состав генератора входят счетчики Divider и Counter\_ROM, обеспечивающие перебор адресов ПЗУ Mem\_ROM с циклом повторения, позволяющим наблюдать сигналы с помощью светодиодов.

В соответствии с индивидуальным заданием, необходимо сгенерировать сигнал формы, представленной на Рис.2.



Рис.2.

Для этих целей создан файл инициализации памяти (Рис.3).

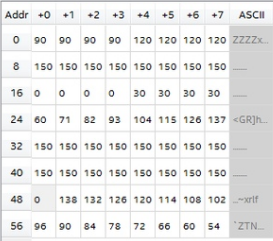
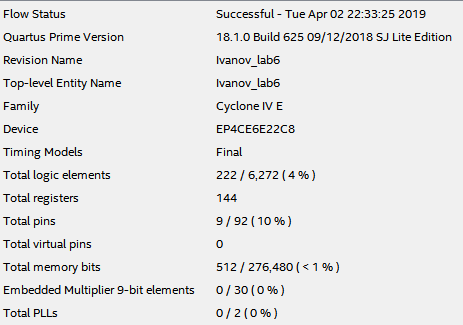


Рис.3.

После выполнения компиляции, в отчете можно видеть аппаратурные затраты и максимальную тактовую частоту (Рис.4).



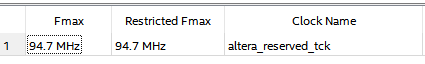


Рис.4.

Время компиляции составляет 1 мин 15 сек.

Далее была выполнена настройка логического анализатора для исследования генератора сигналов сложной формы (Рис.5).

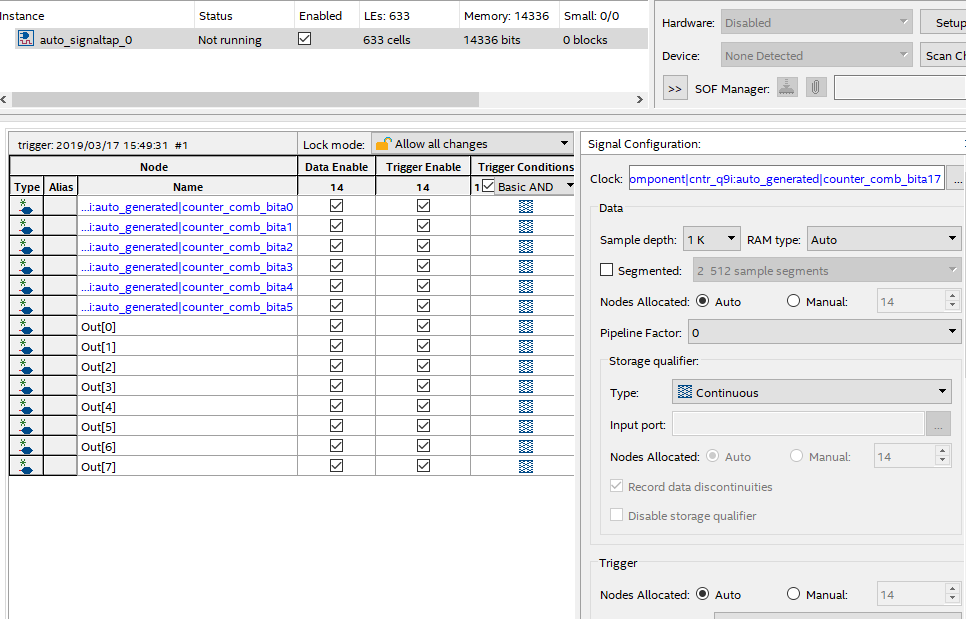


Рис.5.

После выполнения полной компиляции проекта, можно видеть следующие аппаратурные затраты:

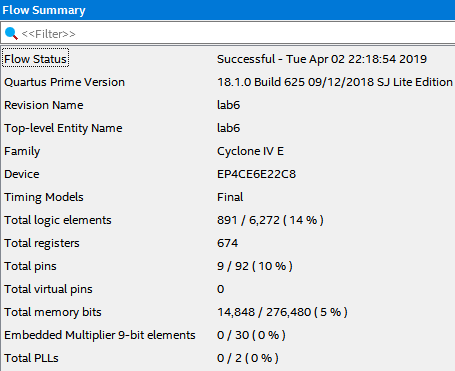


Рис.6.

Время компиляции составило 1 мин 51 сек.

Максимальная тактовая частота представлена на Рис.7.



Рис.7.

Видно, что после добавления отладочного модуля аппаратурные затраты значительно возросли, помимо этого значение Fmax уменьшилось.

После заполнения таблицы было проведено тестирование на лабораторном стенде. Полученный с помощью SignalTap II сигнал можно видеть на Рис.8-9.



Рис.8.

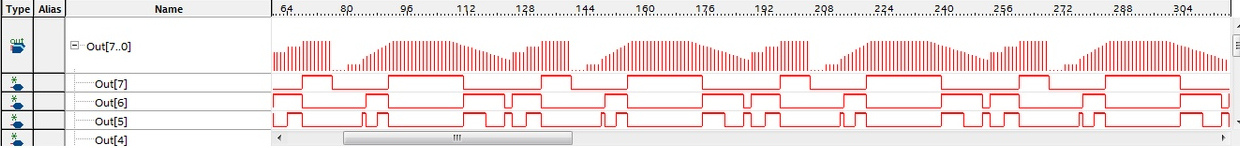


Рис.8.

**3. Выводы**

В ходе работы был выполнен синтез генератора сигнала сложной формы с использованием редактора памяти в системе ISMCE, а затем был проведен его анализ с использованием средств SignalTap II Logic Analyzer и In System Memory Content Editor.